

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-210743

(43)Date of publication of application : 03.08.2001

(51)Int.Cl.

H01L 23/12

(21)Application number : 2000-013794

(71)Applicant : NEC CORP

(22)Date of filing : 24.01.2000

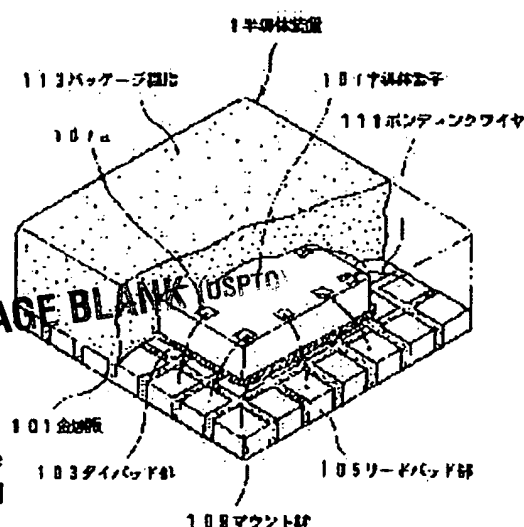
(72)Inventor : AZUMA KOSUKE

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a surface mount semiconductor device having a leadless structure allowing components to be commonly used for different kinds and sizes of semiconductor devices and its manufacturing method.

SOLUTION: Grooves 131 are formed in grid on the surface of a metal plate 101 to section a plurality of divided pieces 133, some of the plurality of divided pieces are used as die pads 103 to mount a semiconductor element 107 with mount members 109, other divided pieces are used as lead pads 105 to electrically connected the semiconductor element 107 through bonding wires 111, the semiconductor element 107 and the bonding wires 111 are sealed with a package resin 113, the backside of the metal plate 101 is polished up to the bottoms of the grooves 131, thus separating the divided pieces 133. According to the size or kind of semiconductor elements, divided pieces constituted as die pads and lead pads are adequately set and the package resin is cut at desired part to realize a leadless and surface mount semiconductor device of a desired size/ kind.



LEGAL STATUS

[Date of request for examination] 12.12.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3420153

[Date of registration] 18.04.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

BEST AVAILABLE COPY

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-210743
(P2001-210743A)

(43) 公開日 平成13年8月3日 (2001.8.3)

(51) Int.Cl.
H01L 23/12

識別記号

F I
H01L 23/12

テームコード (参考)

L
F
W

審査請求 有 請求項の数30 OL (全 23 頁)

(21) 出願番号 特願2000-13794 (P2000-13794)

(22) 出願日 平成12年1月24日 (2000.1.24)

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 吾妻 浩介

東京都港区芝五丁目7番1号 日本電気株
式会社内

(74) 代理人 100081433

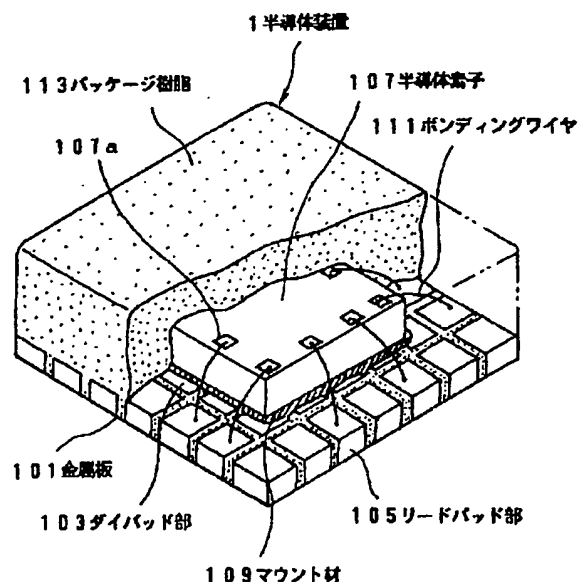
弁理士 鈴木 章夫

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 異なる種類やサイズの半導体装置に対して部品の共用化を可能にしたリードレス構造の表面実装型の半導体装置とその製造方法を提供する。

【解決手段】 金属板101の表面に柵目状に凹溝131を形成して複数の分割片133を区画し、これら複数の分割片のうち、一部の分割片をダイパッド部103としてその上にマウント材109により半導体素子107を搭載する。また、他の分割片をリードパッド部105として半導体素子107とボンディングワイヤ111により電気接続する。さらに、半導体素子107及びボンディングワイヤ111をパッケージ樹脂113で封止した上で、金属板101の裏面を凹溝131の底に達するまで研磨し、各分割片133を分離する。半導体素子のサイズや種類に応じて、ダイパッド部及びリードパッド部として構成する分割片を適宜に設定し、かつ任意の箇所でパッケージ樹脂を切断することで、任意のサイズ、種類のリードレスの表面実装型の半導体装置が実現できる。



【特許請求の範囲】

【請求項1】 半導体素子と、導電板を分割して形成した複数の分割片と、前記半導体素子を封止するとともに前記分割片を前記半導体素子と一体的に支持するパッケージ樹脂とを備え、前記複数の分割片のうち少なくとも1つの分割片は前記半導体素子の電極に電気接続されていることを特徴とする半導体装置。

【請求項2】 前記複数の分割片のうち、一部の分割片はその上に前記半導体素子を搭載するダイパッド部として構成され、前記半導体素子の電極に電気接続される他の分割片は実装用電極としてのリードパッド部として構成されることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記分割片のうち、搭載される前記半導体素子の直下に位置される分割片が前記ダイパッド部として構成され、前記ダイパッド部の周囲に配置されて前記半導体素子の電極にボンディングワイヤで電気接続される分割片が前記リードパッド部として構成される請求項2に記載の半導体装置。

【請求項4】 前記半導体素子は銀ペースト等のマウント材、またはテープ状接着剤により前記ダイパッド部に搭載されていることを特徴とする請求項2または3に記載の半導体装置。

【請求項5】 前記分割片のうち、搭載される前記半導体素子の直下に位置される分割片の一部が前記ダイパッド部として構成され、前記分割片の他の一部は前記半導体素子の電極にパンプで電気接続されて前記リードパッド部として構成される請求項2に記載の半導体装置。

【請求項6】 前記分割片は、前記導電板を柵目状に分割して形成されていることを特徴とする請求項1ないし5のいずれかに記載の半導体装置。

【請求項7】 前記分割片は、厚さ方向に沿う断面形状がクランク状に形成されていることを特徴とする請求項1ないし6のいずれかに記載の半導体装置。

【請求項8】 前記分割片は前記半導体素子の周囲にのみ配置され、前記半導体素子の電極にボンディングワイヤで電気接続されて前記リードパッド部として構成されていることを特徴とする請求項2に記載の半導体装置。

【請求項9】 前記半導体素子は半導体集積回路チップであり、前記半導体集積回路チップに設けられた複数の電極と、前記リードパッド部としての複数の分割片とがそれぞれ電気接続されていることを特徴とする請求項2ないし8のいずれかに記載の半導体装置。

【請求項10】 前記半導体素子はダイオードチップまたはトランジスタチップであり、ダイパッド部としての1つの分割片に前記ダイオードチップまたはトランジスタチップが搭載され、これに隣接する1つまたは2つの分割片がリードパッド部として前記ダイオードチップまたはトランジスタチップの電極が電気接続されていることを特徴とする請求項2ないし8のいずれかに記載の半

導体装置。

【請求項11】 前記リードパッド部としての分割片の裏面にはボール状の電極が接続されていることを特徴とする請求項2ないし10のいずれかに記載の半導体装置。

【請求項12】 前記パンプは、半田パンプまたはスタッドパンプである請求項5、6、9、10又は11に記載の半導体装置。

【請求項13】 前記ダイパッド部を構成する分割片の裏面にはレジスト膜が形成されていることを特徴とする請求項2ないし12のいずれかに記載の半導体装置。

【請求項14】 前記半導体素子は、前記ダイパッド部及びリードパッド部の外形寸法よりも小さい外形寸法に形成されていることを特徴とする請求項2ないし13のいずれかに記載の半導体装置。

【請求項15】 前記半導体素子は、前記ダイパッド部及びリードパッド部の外形寸法と等しい外形寸法に形成されていることを特徴とする請求項5、6、9、10、11、12または13に記載の半導体装置。

【請求項16】 導電板の表面に凹溝を形成して複数の区画された分割片を形成する工程と、前記分割片の一部の表面上に半導体素子を搭載する工程と、前記半導体素子の電極と前記分割片の他の一部とをボンディングワイヤにより電気接続する工程と、前記導電板の表面上に樹脂を成形して前記半導体素子及びボンディングワイヤを封止する工程と、前記導電板の裏面を前記凹溝に達するまで研磨して前記分割片を個々の片に分離する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項17】 導電板の表面に凹溝を形成して複数の区画された分割片を形成する工程と、電極にパンプが形成された半導体素子を前記分割片の一部の表面上に搭載しかつ前記パンプと前記一部の分割片とを電気接続する工程と、前記導電板の表面上に樹脂を成形して前記半導体素子を封止する工程と、前記導電板の裏面を前記凹溝に達するまで除去して前記分割片を個々の片に分離する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項18】 導電板の表面に柵目状の第1の凹溝を形成する工程と、前記導電板の裏面に前記第1の凹溝と平面方向にずれた位置に柵目状の第2の凹溝を形成する工程と、電極にパンプが形成された半導体素子を前記第1及び第2の凹溝によって区画された複数の分割片の一部の表面上に搭載しかつ前記パンプと前記一部の分割片とを電気接続する工程と、前記導電板の表面上に樹脂を成形して前記半導体素子を封止する工程と、前記導電板を前記第1及び第2の凹溝とは平面方向にずれた位置で切断して前記分割片を個々の片に分離する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項19】 導電板を保持シート上に貼りつけた状態で前記導電板を切断して複数の分割片を形成する工程と、前記分割片の一部の表面上に半導体素子を搭載する

工程と、前記半導体素子の電極と前記分割片の他の一部とをボンディングワイヤにより電気接続する工程と、前記導電板の表面上に樹脂を成形して前記半導体素子及びボンディングワイヤを封止する工程と、前記保持シートを前記導電板から剥離する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 20】 導電板を保持シート上に貼りつけた状態で前記導電板を切断して複数の分割片を形成する工程と、電極にバンプが形成された半導体素子を前記分割片の一部の表面上に搭載しかつ前記バンプと前記一部の分割片とを電気接続する工程と、前記導電板の表面上に樹脂を成形して前記半導体素子を封止する工程と、前記保持シートを前記導電板から剥離する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 21】 導電板の表面に凹溝を形成して複数の区画された分割片を形成する工程と、前記導電板の一部領域を裏面側に変形して表面側に凹部を形成する工程と、前記導電板の前記凹部にマウント材により半導体素子を搭載する工程と、前記半導体素子の電極と前記凹部の周辺部の分割片とをボンディングワイヤにより電気接続する工程と、前記導電板の表面上に樹脂を成形して前記半導体素子及びボンディングワイヤを封止する工程と、前記導電板の前記凹部の領域を裏面側から除去するとともに前記周辺部の前記分割片を個々の片に分離する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 22】 前記半導体素子として半導体集積回路チップを用いることを特徴とする請求項 15 ないし 21 のいずれかに記載の半導体装置の製造方法。

【請求項 23】 前記半導体素子としてダイオードチップまたはトランジスタチップを用い、前記ダイオードチップまたはトランジスタチップを前記分割片の 1 つに搭載し、他の分割片と前記ダイオードチップまたはトランジスタチップの電極とをボンディングワイヤで接続することを特徴とする請求項 16 ないし 21 のいずれかに記載の半導体装置の製造方法。

【請求項 24】 前記導電板に複数の前記半導体素子を搭載し、かつ前記半導体素子と分割片との電気接続の工程、パッケージ樹脂の成形工程、及び分割片の分割工程の後に、前記パッケージ樹脂を切断して個々の半導体装置に分離する工程を含むことを特徴とする請求項 16 ないし 23 のいずれかに記載の半導体装置の製造方法。

【請求項 25】 前記導電板に複数の半導体素子が形成されている半導体ウェハを搭載し、かつ前記半導体素子と分割片との電気接続の工程、前記パッケージ樹脂の成形工程、及び前記分割片の分離工程を終了した後に、前記半導体ウェハを切断して個々の半導体装置に分離する工程を含むことを特徴とする請求項 17、18、20、または 22 に記載の半導体装置の製造方法。

【請求項 26】 前記凹溝または第 1 及び第 2 の凹溝はハーフカットダイシング、ハーフエッチングまたはブレ

ス加工のいずれかにより形成することを特徴とする請求項 16 ないし 25 のいずれかに記載の半導体装置の製造方法。

【請求項 27】 前記導電板の裏面を研磨またはエッチングにより除去することを特徴とする請求項 16 ないし 25 のいずれかに記載の半導体装置の製造方法。

【請求項 28】 前記半導体素子の搭載は銀ペースト等のマウント材またはテープ状接着剤を用いることを特徴とする請求項 16、19、21、22、23、24、26 または 27 に記載の半導体装置の製造方法。

【請求項 29】 前記分割片は柵目状に形成することを特徴とする請求項 16 ないし 28 のいずれかに記載の半導体装置の製造方法。

【請求項 30】 前記パッケージ樹脂の成形工程は、樹脂の金型成形、コーティングまたはポッティングによる工程であることを特徴とする請求項 16 ないし 24、26 ないし 29 のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、表面実装型のリードレス構造の半導体装置に関し、特に異なるパッケージサイズの半導体装置間での部品の共用化を図った半導体装置とその製造方法に関するものである。

【0002】

【従来の技術】半導体集積回路やトランジスタ、ダイオード等の個別部品のパッケージの小型化、薄型化が図られており、特にパッケージサイズに与える影響が大きナリードを無くしたいいわゆるリードレス構造の表面実装型の半導体装置が提案されている。特に半導体集積回路では、多ピン化を実現するためにはリードフレームのリードピッチを微細化することが要求されるため、これに伴ってリード幅が低減されてその強度が低下され、リード曲がりによる短絡が生じ、あるいはリードピッチを確保するためにパッケージサイズを大型化することが余儀なくされる。このようになリードレス構造の半導体装置として、例えば、特開平 9-162348 号公報の技術は、図 36 にその断面構造を示すように、素子固定樹脂板 301 上に半導体素子（素子チップ）303 が固定され、その上側及び周囲領域はパッケージ樹脂 305 により封止されている。また、前記パッケージ樹脂 305 の底面には複数の突起部分 307 が設けられ、これらの突起部分 307 の表面に金属膜 309 が形成される。前記金属膜 309 は、前記パッケージ樹脂 305 内において半導体素子 303 に対してボンディングワイヤ 311 により電気接続され、実装用電極として構成されている。このように、図 36 の半導体装置では、パッケージの底面に直接的に実装用電極が形成されているため、リードフレームは不要であり、前記したリードフレームが要因となる不良合を未然に防止し、パッケージを小型にかつ

分割片のうち、搭載される前記半導体素子の直下に位置される分割片が前記ダイパッド部として構成され、前記ダイパッド部の周囲に配置されて前記半導体素子の電極にボンディングワイヤで電気接続される分割片が前記リードパッド部として構成される。あるいは、第2の形態として、前記分割片のうち、搭載される前記半導体素子の直下に位置される分割片の一部が前記ダイパッド部として構成され、前記分割片の他の一部は前記半導体素子の電極にバンパで電気接続されて前記リードパッド部として構成される。

【0012】ここで、本発明の半導体装置として、前記分割片は、前記導電板を柵目状に分割して形成されることが好ましい。また、前記分割片は、厚さ方向に沿う断面形状がクランク状に形成されていてもよい。

【0013】また、本発明の第3の形態として、前記分割片は前記半導体素子の周囲にのみ配置され、前記半導体素子の電極にボンディングワイヤで電気接続されて前記リードパッド部として構成されていることを特徴とする。

【0014】本発明が適用される半導体装置として、前記した半導体素子は半導体集積回路チップであり、前記半導体集積回路チップに設けられた複数の電極と、前記リードパッド部としての複数の分割片とがそれぞれ電気接続されている。あるいは、前記半導体素子はダイオードチップまたはトランジスタチップであり、ダイパッド部としての1つの分割片に前記ダイオードチップまたはトランジスタチップが搭載され、これに隣接する1つまたは2つの分割片がリードパッド部として前記ダイオードチップまたはトランジスタチップの電極が電気接続されている。

【0015】また、以上の本発明の半導体装置において、次の形態とすることも可能である。リードパッド部としての分割片の裏面にはボール状の電極が接続されていること、前記バンパは、半田、銅、メッキ等で構成されるバンパまたは金ボールバンパ、すなわちスタッドハンパであること、前記ダイパッド部を構成する分割片の裏面にはレジスト膜が形成されていること、前記半導体素子は、前記ダイパッド部及びリードパッド部の外形寸法よりも小さい外形寸法に形成されていること、前記半導体素子は、前記ダイパッド部及びリードパッド部の外形寸法と等しい外形寸法に形成されていることである。

【0016】一方、本発明の半導体装置の製造方法は、第1の製造方法として、導電板の表面に凹溝を形成して複数の区画された分割片を形成する工程と、前記分割片の一部の表面上に半導体素子を搭載する工程と、前記半導体素子の電極と前記分割片の他の一部とをボンディングワイヤにより電気接続する工程と、前記導電板の表面上に樹脂を成形して前記半導体素子及びボンディングワイヤを封止する工程と、前記導電板の裏面を前記凹溝に達するまで研磨して前記分割片を個々の片に分離する工

程とを含むことを特徴とする。

【0017】第2の製造方法として、導電板の表面に凹溝を形成して複数の区画された分割片を形成する工程と、電極にバンパが形成された半導体素子を前記分割片の一部の表面上に搭載しかつ前記バンパと前記一部の分割片とを電気接続する工程と、前記導電板の表面上に樹脂を成形して前記半導体素子を封止する工程と、前記導電板の裏面を前記凹溝に達するまで除去して前記分割片を個々の片に分離する工程とを含むことを特徴とする。

10 【0018】第3の製造方法として、導電板の表面に柵目状の第1の凹溝を形成する工程と、前記導電板の裏面に前記第1の凹溝と平面方向にずれた位置に柵目状の第2の凹溝を形成する工程と、電極にバンパが形成された半導体素子を前記第1及び第2の凹溝によって区画された複数の分割片の一部の表面上に搭載しかつ前記バンパと前記一部の分割片とを電気接続する工程と、前記導電板の表面上に樹脂を成形して前記半導体素子を封止する工程と、前記導電板を前記第1及び第2の凹溝とは平面方向にずれた位置で切断して前記分割片を個々の片に分離する工程とを含むことを特徴とする。

【0019】第4の製造方法として、導電板を保持シート上に貼りつけた状態で前記導電板を切断して複数の分割片を形成する工程と、前記分割片の一部の表面上に半導体素子を搭載する工程と、前記半導体素子の電極と前記分割片の他の一部とをボンディングワイヤにより電気接続する工程と、前記導電板の表面上に樹脂を成形して前記半導体素子及びボンディングワイヤを封止する工程と、前記保持シートを前記導電板から剥離する工程とを含むことを特徴とする。

30 【0020】第5の製造方法として、導電板を保持シート上に貼りつけた状態で前記導電板を切断して複数の分割片を形成する工程と、電極にバンパが形成された半導体素子を前記分割片の一部の表面上に搭載しかつ前記バンパと前記一部の分割片とを電気接続する工程と、前記導電板の表面上に樹脂を成形して前記半導体素子を封止する工程と、前記保持シートを前記導電板から剥離する工程とを含むことを特徴とする。

40 【0021】第6の製造方法として、導電板の表面に凹溝を形成して複数の区画された分割片を形成する工程と、前記導電板の一部領域を裏面側に変形して表面側に凹部を形成する工程と、前記導電板の前記凹部にマウント材により半導体素子を搭載する工程と、前記半導体素子の電極と前記凹部の周辺部の分割片とをボンディングワイヤにより電気接続する工程と、前記導電板の表面上に樹脂を成形して前記半導体素子及びボンディングワイヤを封止する工程と、前記導電板の前記凹部の領域を裏面側から除去するとともに前記周辺部の前記分割片を個々の片に分離する工程とを含むことを特徴とする。

【0022】また、本発明の製造方法として、次の形態での製造が採用される。すなわち、前記導電板に複数の

に切断する際に用いられるダイシングソー等を用いて前記金属板 101 の厚さのほぼ 1/2 の深さにまで凹溝を形成するハーフカットダイシングにより行われる。これにより、前記金属板 101 の表面側の部分は前記 X 方向及び Y 方向の複数本の凹溝 131 によって柵目状（マトリクス状）に区画された状態となる。なお、前記凹溝 131 の形成は、金型を用いて金属板 101 の表面に溝状の凹部を形成するプレス加工、あるいはフォトリソグラフィ技術を利用したエッチング法によって形成することも可能である。ここで、前記凹溝 131 の幅寸法は半導

【0029】次いで、図 5 において、(a) は平面図、(b) は中央部分の縦断面図であり、前記金属板 101 の表面上に半導体素子 107 を搭載する。この搭載では銀ペースト等の金属ろう材、あるいは導電性樹脂等をマウント材 109 とし、半導体素子 107 の電極 107a 面を上方に向けた姿勢で、半導体素子 107 の裏面を前記金属板 101 の表面の、前記凹溝 131 によって区画された複数の分割片 133 の上面に接続する。なお、このとき、前記マウント材 109 は搭載した半導体素子 107 の直下の領域においては前記凹溝 131 内にまで侵入して凹溝 131 内に埋設されるため、当該半導体素子 107 の直下の領域の分割片 133 はマウント材 109 により一体化され、これらの分割片 133 は前記ダイパ

【0030】次いで、図 6 において、(a) は平面図、(b) は中央部分の縦断面図であり、前記半導体素子 107 の電極 107a と、前記半導体素子 107 の周辺に配置される分割片 133 の上面とをそれぞれボンディングワイヤ 111 により接続する。このとき、ボンディングワイヤ 111 が接続される分割片 133 は、前記マウント材 109 によって一体化されていない分割片が選定される。すなわち、前記マウント材 109 によって一体化されてダイパッド部 103 を構成する分割片の外側に配置される全て、あるいは選択された一部の分割片 133 が選定され、これらの分割片 133 は前記リードパッド部 105 を構成することになる。

【0031】次いで、図 7 において、(a) は平面図、(b) は中央部分の縦断面図であり、前記金属板 101 を図外の樹脂成形用金型装置にセットし、前記金属板 101 の表面上に樹脂をモールド成形する。あるいは、金属板 101 の表面上に樹脂を所要の厚さに塗布する。これにより、前記パッケージ樹脂 113 が形成され、このパッケージ樹脂 113 によって前記金属板 101 上の半

導体素子 107 及びボンディングワイヤ 111 は樹脂封止される。このとき、半導体素子 107 の直下の前記ダイパッド部 103 としての分割片 133 と、周辺部の前記リードパッド部 105 としての分割片 133 とを区画している凹溝 131 内に前記パッケージ樹脂 113 の一部が充填されるため、当該パッケージ樹脂 113 によってリードパッド部 105 としての分割片 133 は、隣接する分割片 133 が相互に、及びダイパッド部 103 としての分割片 133 にそれぞれ絶縁を保った状態で一体化されることになる。

【0032】次いで、図 8 において、(a) は底面図、(b) は中央部分の縦断面図であり、前記金属板 101 の裏面側を少なくとも 1/2 の厚さ以上に研磨する。この研磨には機械的な研磨方法、あるいはエッチング等による化学的な研磨方法を採用することが可能である。そして、この研磨により、前記金属板 101 の前記凹溝 131 の底面部分が露出されることになり、結果として前記各分割片 133 は前記凹溝 131 によって完全に切断分離された分割片として構成されることになる。ただし、前記したように、各分割片 133 は、前記マウント材 109、あるいはパッケージ樹脂 113 によって相互に一体化された状態に保持されており、各分割片 133 が分離されることはない。その後、図 2 に示したように、半導体装置 1 の底面の、前記ダイパッド部 103 を構成する分割片 133 が延在する領域にわたって絶縁性のレジスト膜 115 を選択的に塗布し、あるいは印刷法により形成し、ダイパッド部 103 の底面を絶縁被覆する。なお、パッケージ分割後、絶縁性のレジスト膜 115 を塗布してもかまわない。

【0033】次いで、図 9 において、(a) は底面図、(b) は中央部分の縦断面図であり、前記パッケージ樹脂 113 を前記リードパッド部 105 としての周辺部の分割片 133 の外側の凹溝 131 に沿ってフルカットダイシングにより切断する。これにより、外形が矩形で、かつその底面の周辺に沿って配列される複数の分割片 133 で構成されるリードパッド部 105 を有する前記半導体装置 1 が形成される。これにより、底面の周辺部に前記リードパッド部 105 としての分割片 133 の導電性面がそれぞれ露出された状態で残され、これらの分割片 133 が実装用電極として機能することになり、図 1 に示した半導体装置 1 が完成される。なお、パワー半導体素子を搭載した半導体装置のように、ダイパッド部 103 での放熱性を高めることが要求される場合には、前記レジスト膜 115 は形成しない構成とする。

【0034】このように第 1 の実施形態の半導体装置では、柵目状に凹溝 131 を形成した金属板 101 に半導体素子 107 をマウント材 109 により搭載し、しかる上で半導体素子 107 の周囲に配置されていてマウント材 109 により一体化されていない分割片 133 に対して半導体素子 107 の電極 107a をボンディングワイ

THIS PAGE BLANK (USPTO)

のダイシングとを同時に行うことが可能であり、しかも複数のチップ状の半導体素子を金属板に個々に搭載する工程が省略できるため、製造工程全体を簡略化することが可能である。

【0044】前記第3の実施形態の変形例を図21～図23に示す。この実施形態では、リードパッド部105及びダイパッド部103を構成する分割片の断面形状をクランク状に形成し、半導体装置を実装基板に実装した際に半導体装置と実装基板との間に生じる熱応力をリードパッド部105において緩和し、実装状態の信頼性を高めるようにした半導体装置の例である。シリコンウェハは前記第3の実施形態と同じに形成されているが、金属板101は、図21に一部を拡大して示すように、正方形をした金属板101には、その表面側から厚さの約40～50%の深さまでそれぞれXY方向に延びる柵目状の凹溝131を形成する。また、前記金属板101の裏面側にも厚さの約40～50%の深さまでXY方向に延びる柵目状の凹溝131Aを形成する。ここで、図22(a)に示すように、表面側の凹溝(同図実線)131と裏面側の凹溝(同図破線)131Aは溝幅寸法と溝ピッチ寸法が同一であるが、両者の溝位置は、XY方向に対して45度の角度方向で、かつほぼ各凹溝131、131Aの溝幅寸法だけずらした配置となっている。

【0045】そして、図23(a)のように、前記第3の実施形態と同様に、前記シリコンウェハ201のパンプ205を前記金属板101の表面側の分割片133に接合し、かつ図23(b)のように、シリコンウェハ201と金属板101との間に樹脂135を充填する。しかる上で、図23(c)のように、前記金属板101の裏面にレジストマスク139を形成する。このレジストマスク139は、前記金属板101のリードパッド部105及びダイパッド部103として残す領域を覆うものであり、図22(b)のように、前記表面側の凹溝131と裏面側の凹溝131Aと同じピッチでXY方向に規則的に配置された微小な矩形の瓢箪型のパターンとして形成され、前記金属板101の裏面側から前記表面側の凹溝131と裏面側の凹溝131Aを透視したときに、両凹溝131、131Aの各一部を覆う位置に設定される。そして、前記レジストマスク139を用いて前記金属板101を全厚さにわたってエッチングすることで、それぞれ独立した分割片133が形成される。したがって、分割された各分割片133は、その厚さ方向の断面形状が、図23(d)のように、クランク状に形成されることになる。また、分割された各分割片133のうち、前記シリコンウェハ201のパンプ205に接合されている分割片はリードパッド部105として構成され、当該パンプ205による接合と前記樹脂135によってシリコンウェハ201に一体化される。

【0046】しかる後、図23(e)のように、ダイシングソーによってシリコンウェハ201及び金属板10

1を所定のサイズに切断して分割することで、個々の半導体装置2Aが形成されることになる。なお、この場合、金属板101は前工程のエッチングにより既に分離されているため、実際にはシリコンウェハ201を切断分離するだけでよい。この半導体装置2Aでは、リードパッド部105がクランク状に曲げ形成されているため、半導体装置2Aを図3のように実装基板に実装したときに、実装基板と半導体装置(半導体素子)との間の熱膨張率の違いによりリードパッド部105に応力が加えられたような場合でも、リードパッド部105のクランク状の曲げ部において当該応力を吸収することができ、リードパッド部105と実装基板との接続が破損されるようなことがなく、実装の信頼性を向上することが可能となる。なお、図示は省略するが、前記分割片の間に樹脂を充填して裏面側を平坦化した後、各リードパッド部の裏面に半田ボールを接続し、あるいは半田メッキ等を施した構成としてもよく、このようにしてもリードパッド部における応力の緩和機能が損なわれることはない。

【0047】次に前記第3の実施形態の第2の変形例を説明する。前記第1の変形例は、前記金属板101裏面にレジストマスク139を形成し、選択的にエッチングを行うことによって半導体装置を完成していたが、柵目状に形成する凹溝の幅を拡大することによってエッチングによる金属板の選択的な除去が不要となる。これを第1の変形例の図23を再度参照して説明する。第2の変形例の半導体装置は、第3の実施形態で示した図19と同様に円板状をした半導体ウェハ、例えばシリコンウェハ201に柵目状に半導体素子を配列形成し、かつ各半導体素子の周辺部にそれぞれ前記第2の実施形態と同様にパンプ205を配列形成する。一方、前記シリコンウェハの外径にほぼ等しい辺寸法をした正方形の金属板101に対して、その表面側に柵目状に凹溝131を厚さの約50%の深さまで形成し、分割片133を形成する。また、このとき各分割片133の配列ピッチ寸法は、前記半導体素子に形成したパンプ205の周辺に沿ったピッチ寸法、あるいは格子状配列のピッチ寸法に等しくする。

【0048】次いで、前記シリコンウェハ201の裏面を金属板101に向けて加熱押圧し、シリコンウェハ201のパンプ205を金属板101の各分割片133にフェースダウンにより接合する。次いで、前記シリコンウェハ201と金属板101との間の空間、すなわち金属板101の凹溝131内とシリコンウェハ201のパンプ205間に樹脂135を充填し、前記空間を封止する。次いで、金属板101の裏面側に金属板の厚さの約50%の深さまでXY方向に延びる柵目状の凹溝131Aを形成する。ここで、図22と同様に、表面側の凹溝131と裏面側の凹溝131Aは溝幅寸法と溝ピッチ寸法が同一であるが、両者の溝位置はXY方向に対して4

5度の角度方向で、かつ各凹溝の溝幅寸法よりも小さい寸法でずらした配置となっている。このように裏面側から凹溝131Aを形成することによって、それぞれ独立した分割片が形成される。したがって、分割された各分割片は、その厚さ方向の断面形状がクランク状に形成されることになる。しかる後、ダイシングソーによってシリコンウェハ及び金属板を所要のサイズに切断して分割することで、個々の半導体装置が形成されることになる。なお、この場合、金属板は前工程の裏面側の凹溝形成字に分離されているので、実際にはシリコンウェハを切達分離するだけでよい。

【0049】次に、図24～図26を用いて本発明の第4の実施形態を説明する。この実施形態では、金属板を最初からフルカットダイシングして分割片を形成し、当該分割片によってダイパッド部とリードパッド部を構成するものである。図24(a)、(b)の平面図、縦断面図に示すように、所要の寸法の金属板101の裏面に粘着シート141を貼り付ける。この粘着シート141は後工程において分割される分割片を保持するとともにその平坦性を確保できる程度の厚さ、剛性を有するものである。その上で、図25(a)、(b)の平面図、縦断面図に示すように、前記金属板101を表面側からフルカットダイシングし、金属板にXY方向に延びる溝131Bを形成して柵目状の分割片133を形成する。これらの分割片133はそれぞれ完全に分離されているが、前記粘着シート141によって最初の配列状態が保たれている。

【0050】次いで、以降は第1の実施形態の図6から図9の工程と同様であるので、図26に断面図のみを示すように、先ず図26(a)のように、マウント材109により半導体素子107を前記金属板101の表面に搭載する。そして、図26(b)のように、半導体素子107の電極と、半導体素子107の外周に位置されるリードパッド部となる分割片133に対してボンディングワイヤ111での電気接続を行い、その上で図26

(c)のように、金属板101の表面上に樹脂113をモールドあるいは塗布し、前記半導体素子107及びボンディングワイヤ111を封止するパッケージ樹脂113を形成する。しかる後、図26(d)のように、金属板101の裏面に貼り付けてある粘着シート141を剥がすことにより、前記各実施形態のような金属板101の裏面側の研磨を行うことなく、既に溝131Bによって分割された状態にある分割片133を分離した状態にすることができ、第1の実施形態と同様な半導体装置が形成できる。なお、図示は省略するが、複数個の半導体素子を一括してパッケージ樹脂で封止している場合には、パッケージ樹脂を切断分離することで、個々の半導体装置の製造が実現されることになる。なお、金属板101の裏面のダイパッド部103を構成する分割片133の裏面に、図2に示したようなレジスト膜を形成し、

あるいは形成しないことは、言うまでもない。

【0051】前記第4の実施形態では、半導体装置の構成に直接必要とされることがない粘着シートを用いている点で、部品点数を削減する上では不利な点が存在することは否めないが、このような不要な部品を無くして前記第4の実施形態と同様に半導体装置を製造する方法を第4の実施形態の変形例として説明する。図27及び図28はそのような変形例の製造方法を示す断面図である。先ず、図27(a)のように、金属板101の裏面にレジストシート143を接着する。前記レジストシート143は、半田等との密着性が無い耐熱性、耐湿性の高い材料で形成されており、図28(a)のように、最終的に形成される半導体装置の実装用電極が配置される箇所に対応する部分に開口143aが形成されている。そして、図27(b)のように、前記第4の実施形態と同様に前記金属板101をフルカットダイシングしてXY方向に延びる溝131Bを形成し、柵目状の分割片133を形成する。このとき、図28(b)のように、各分割片133の一部が前記レジストシート143の開口143aに対応位置されるように、前記溝131Bを所要のピッチ寸法で形成する。また、この場合でも分割された各分割片133は、開口143aが形成されていても連結状態にあるレジストシート143によって一体状態に保持されている。

【0052】以降の工程は、前記第4の実施形態と同様であり、図27(c)のように、マウント材109によって半導体素子107を前記金属板101の表面に搭載し、その後、図27(d)のように、ボンディングワイヤ111で半導体素子107の電極と、半導体素子の外周に位置されるリードパッド部となる分割片133とを電気接続する。さらに、図27(e)のように、金属板101上に樹脂113をモールドまたは塗布して半導体素子107及びボンディングワイヤ111を封止するパッケージ樹脂113を形成する。その後、前記パッケージ樹脂113を切断し、さらに金属板101の裏面のレジストシート143を切断することで個々の半導体装置が形成される。そして、図27(f)のように、前記金属板101の裏面側の前記レジストシート143の開口143aから露出されているリードパッド部105としての分割片133の裏面に半田ボール137を接続する。このとき、レジストシート143は半田との密着性が無いため、隣接する開口143aの分割片133が半田によって相互に短絡するようなことはなく、結果としてレジストシート143は、第1の実施形態におけるレジスト膜115と同様に機能することになる。この変形例では、金属板101をフルカットダイシングして分割したときの支持となるレジストシート143をそのまま半導体装置の裏面のレジスト膜として利用することが可能になり、部品が無駄になることはない。

【0053】ここで、前記第4の実施形態及びその変形

例では、半導体素子の電極が形成されている表面を上側に向けて金属板に搭載し、ボンディングワイヤによって分割片に電気接続する構成例を示しているが、これらの構成においても、第2の実施形態と同様に、半導体装置の表面にパンプを形成しておき、このパンプを金属板の分割片に接続するようにフェースダウンによって搭載する構成としてもよい。また、この場合には、第3の実施形態のように、ウェハ構成での半導体素子を金属板に搭載し、かつパッケージ樹脂により封止を行った後に、ウェハを切断して個々の半導体装置を形成するようにしてもよい。

【0054】以上の各実施形態の半導体装置では、金属板を分割した分割片によってリードパッド部とダイパッド部を形成しているが、ダイパッド部に相当する領域の金属板、すなわち分割片を最終的に除去し、ダイパッド部をマウント材で構成するようにしてもよい。すなわち、これを第5の実施形態として説明する。図29～図32は第5の実施形態を説明するための図である。先ず、第1の実施形態の図4(a)、(b)の平面図、縦断面図に示したように、正方形をした金属板101にX

Y方向に延びる複数本の凹溝131を形成して柵目状の分割片133を形成する。しかる後、図29(a)、(b)の平面図、縦断面図に示すように、前記金属板101の中央領域をプレス加工によって金属板101の裏面方向に曲げ変形し、前記中央領域に凹状部151を形成する。このとき、前記凹状部151の表面は前記金属板101の周辺部においてそのままの状態に残されている分割片133の底面よりも低い位置まで曲げ形成される。

【0055】次いで、図30(a)、(b)の平面図、縦断面図のように、前記金属板の中央領域の凹状部151にマウント材109を用いて半導体素子107を搭載する。このとき、マウント材109の量を調整し、搭載された半導体素子107の裏面が少なくとも周辺に配置されている分割片133における凹溝131の底面よりも高い位置となるようにする。また、前記マウント材109は銀ペースト等の耐湿性、耐熱性に優れ、しかもある程度の機械的な強度を有する材料で構成される。しかる上で、前記半導体素子107の電極107aと、周辺に配置されている前記分割片133の表面とをボンディングワイヤ111により電気接続する。次いで、図31(a)、(b)の平面図、縦断面図に示すように、前記金属板101の表面上に樹脂113をモールドし、あるいは塗布し、前記半導体素子107とボンディングワイヤ111を封止するパッケージ樹脂113を形成する。このとき、パッケージ樹脂113の一部は周辺に配置されている前記分割片133と、その内側に位置される分割片133との凹溝131内にまで進入され、これらの分割片133は一体化される。

【0056】次いで、図32(a)、(b)の底面図、

縦断面図に示すように、前記金属板101を裏面側から前記凹溝131の底面部に達するまで平坦に研磨する。この研磨により、前記凹状部151を構成していた金属板101の中央領域が除去され、前記半導体素子107を金属板101に搭載しているマウント材109が露出される。これにより、半導体素子107はマウント材109によって搭載支持された状態となり、またマウント材109の周辺部にのみ前記分割片133が残されてリードパッド部105が構成されることになる。したがって、リードパッド部105を構成する分割片133の裏面側での研磨量を調整し、当該分割片133の高さ寸法を低減することで、極めて薄型の半導体装置を構成することが可能となる。なお、この第5の実施形態では、ダイパッド部103は金属板の分割片133からマウント材109に置き換えられることになる。

【0057】以上説明した第1ないし第5の実施形態およびこれらの変形例の半導体装置は、半導体素子として半導体集積回路を用いた半導体装置に本発明を適用した例であるが、本発明はダイオードやトランジスタ等の個別部品として構成することも可能である。例えば、第6の実施形態として、ダイオードに適用した場合には、図33(a)、(b)に平面図、断面図を示すように、1つの分割片133をダイパッド部103（あるいはカソード側リードパッド部）としてその表面上にダイオードチップ107Cを搭載し、隣接する他の1つの分割片133をアノード側リードパッド部105として前記ダイオードチップ107Cに対してボンディングワイヤ111で電気接続し、これらの分割片133及びダイオードチップ107C等をパッケージ樹脂113によって封止することで、個別ダイオードが構成される。また、図34(a)、(b)に平面図、断面図を示すように、複数個の分割片133をダイパッド部103として各表面上にそれぞれダイオードチップ107Cを搭載し、これらのダイオードチップ107Cを各分割片133にそれぞれ隣接する分割片133にボンディングワイヤ111により電気接続した上で、各分割片133及びダイオードチップ107C等をパッケージ樹脂113により一体に封止することで、複数個のダイオードチップを搭載した半導体装置、すなわちダイオードアレイが構成されることになる。なお、図示は省略するが、トランジスタチップを搭載した個別トランジスタ、あるいはトランジスタアレイを構成することも可能であり、この場合にはトランジスタチップを搭載した1つの分割片がコレクタ側リードパッド部を兼ねたダイパッド部として構成され、他の2つの分割片がそれぞれベース、エミッタの各リードパッド部として構成されることになる。もちろん、電界効果トランジスタの場合には、ゲート、ソース、ドレインの各リードパッド部として構成されることになる。

【0058】図35は個別ダイオードに本発明を適用した第6の実施形態の製造工程を示す図である。先ず、前

THIS PAGE BLANK (USPTO)

記第1の実施形態の図4と同様に、金属板101の表面にXY方向に延びる複数本の凹溝131を形成し、拵目状の分割片131を形成する。しかる上で、図35

(a)のように、前記分割片133のうち、一つ置きの分割片133のそれぞれの表面上にマウント材109によりダイオードチップ107Cを搭載する。このダイオードチップ107Cは基板がN型半導体で構成されており、ダイオードのカソードとして構成され、当該カソードが前記分割片133に対して同時に電気接続されることになる。次いで、図35(b)のように、前記ダイオードチップ107Cの表面に設けられている図外のアノード電極と、前記分割片133のそれぞれ隣の分割片133とをボンディングワイヤ111により電気接続する。次いで、前記金属板101の表面上に樹脂113をモールドし、あるいは塗布したパッケージ樹脂113によりダイオードチップ107C及びボンディングワイヤ111を封止する。このとき、パッケージ樹脂113の一部は前記凹溝131内にまで進入される。

【0059】次いで、図35(c)のように、前記金属板101を裏面側から前記凹溝131の底面部が露出するまで平坦に研磨し、あるいはエッチングする。これにより、各分割片133はそれぞれ分離された状態となり、かつその一方で前記パッケージ樹脂113により各分割片133は絶縁を保った状態で一体化状態が保持される。次いで、図35(d)のように、前記パッケージ樹脂113を図外のダイシングソーによって切断する。このとき、前記ダイパッド部103としての分割片133と、リードパッド部105としての分割片133を1つの組として、両分割片を含む単位で切断する。これにより、切断箇所を適宜に設定することで、図33に示したように、1つのダイオードチップを含む個別ダイオードとして形成することができ、あるいは図34に示したように、複数個のダイオードチップを含むダイオードアレイとして形成することが可能になる。

【0060】この第6の実施形態では、個別ダイオード、あるいは異なる数のダイオードチップを含む種々のダイオードアレイを形成する場合でも、金属板は規格化された単一のものを使用し、この金属板にダイオードチップを搭載し、パッケージ樹脂で封止した後に、最終的に切断する箇所を変更するだけで、その要求に応えることが可能である。したがって、異なる種類のダイオードアレイに対応して複数のリード部材を形成し、あるいはパッケージ樹脂用の異なるモールド金型を用意する必要がなく、製造工程を簡略化し、かつ半導体装置の低コスト化を図る上で有利なものとなる。

【0061】以上説明した第1ないし第6の実施形態とこれらの変形例は、本発明の代表的な実施形態を説明したものであり、各実施形態を適宜組み合わせることにより、さらに多様化された半導体装置とその製造方法を実現することが可能である。また、前記実施形態で説明し

た、各工程のそれぞれにおける手法についても、従来から提案されている種々の手法に置き換えることも可能であり、そのような置き換えを行った場合においても本発明により得られる利益が失われるものではない。

【0062】

【発明の効果】以上説明したように本発明の半導体装置では、導電板から複数の分割片を形成し、この分割片に対して半導体素子の電極を電気接続してリードパッド部を構成しているため、半導体素子のサイズ、種類に応じてリードパッド部としての分割片を適宜に設定することで、異なるサイズ、種類の半導体素子に対して分割片を汎用的に使用してパッケージを構成することが可能になる。また、分割片の一部でダイパッド部を構成して半導体素子を搭載し、分割片の他の一部をリードパッド部としてボンディングワイヤにより電気接続した構成とし、あるいは半導体素子の電極に設けたバンプを分割片に対して電気接続してリードパッド部を構成することにより、半導体素子をフェースアップ、あるいはフェースダウンの状態を搭載でき、また、リードパッドをパッケージの周辺部に配置し、あるいは底面部に格子状に配置する等、同一の導電板を用いて異なるサイズ及び種類のリードレス構造の表面実装型の半導体装置を構成することが可能となる。

【0063】また、本発明の半導体装置の製造方法では、導電板に凹溝を形成して分割片を区画し、その分割片上に半導体素子を搭載し、かつ半導体素子と分割片とを電気接続し、しかる上で導電板の裏面側を除去して分割片を分離しているため、半導体素子の搭載、及び半導体素子と分割片との電気接続、さらにパッケージ樹脂工程をそれぞれ容易に行うことができる一方で、最終的に絶縁分離された複数の分割片で構成されるリードパッド部を有する半導体装置が製造できるので、部品点数や製造工数が増大することがなく、製造工程を簡略化することが可能になる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態の半導体装置の一部を破断した斜視図である。

【図2】図1の半導体装置の内部構成の平面図と縦断面図である。

【図3】図1の半導体装置の実装状態の縦断面図である。

【図4】第1の実施形態の製造工程1の平面図と縦断面図である。

【図5】第1の実施形態の製造工程2の平面図と縦断面図である。

【図6】第1の実施形態の製造工程3の平面図と縦断面図である。

【図7】第1の実施形態の製造工程4の平面図と縦断面図である。

【図8】第1の実施形態の製造工程5の底面図と縦断面図

図である。

【図 9】第 1 の実施形態の製造工程 6 の底面図と縦断面図である。

【図 10】第 1 の実施形態の応用例の縦断面図である。

【図 11】第 1 の実施形態の第 1 の変形例の製造途中での平面図と縦断面図である。

【図 12】第 1 の実施形態の第 2 の変形例の製造途中での平面図と縦断面図である。

【図 13】第 1 の実施形態の第 3 の変形例の製造途中での平面図と縦断面図である。

【図 14】本発明の第 2 の実施形態の製造工程 1 の平面図と縦断面図である。

【図 15】図 14 で用いる半導体素子の平面図である。

【図 16】第 2 の実施形態の製造工程 2 の平面図と縦断面図である。

【図 17】第 2 の実施形態の製造工程 3 の底面図と縦断面図である。

【図 18】第 2 の実施形態の製造工程 4 の底面図と縦断面図である。

【図 19】第 3 の実施形態の半導体ウェハと金属板の斜視図である。

【図 20】第 3 の実施形態の製造工程の縦断面図である。

【図 21】第 3 の実施形態の変形例の金属板の一部の斜視図である。

【図 22】第 3 の実施形態の変形例の金属板における凹溝とマスクのパターンを説明するための平面図である。

【図 23】第 3 の実施形態の変形例の製造工程の縦断面図である。

【図 24】第 4 の実施形態の製造工程 1 の平面図と縦断面図である。

【図 25】第 4 の実施形態の製造工程 2 の平面図と縦断面図である。

【図 26】第 4 の実施形態の以降の製造工程の縦断面図である。

【図 27】第 4 の実施形態の変形例の製造工程の縦断面図である。

【図 28】第 4 の実施形態のレジストシートと溝のパターンを説明するための底面図である。

【図 29】第 5 の実施形態の製造工程 1 の平面図と縦断

面図である。

【図 30】第 5 の実施形態の製造工程 2 の平面図と縦断面図である。

【図 31】第 5 の実施形態の製造工程 3 の平面図と縦断面図である。

【図 32】第 5 の実施形態の製造工程 4 の底面図と縦断面図である。

【図 33】第 6 の実施形態の内部構成の平面図と縦断面図である。

10 【図 34】第 6 の実施形態の変形例の内部構成の平面図と縦断面図である。

【図 35】第 6 の実施形態の製造工程の縦断面図である。

【図 36】第 1 の従来の半導体装置の断面図である。

【図 37】第 2 の従来の半導体装置の断面図である。

【図 38】第 3 の従来の半導体装置の断面図である。

【符号の説明】

1, 1A, 2, 2A 半導体装置

101 金属板

103 ダイパッド部

105 リードパッド部

107 半導体素子

107C ダイオードチップ

109 マウント材

111 ボンディングワイヤ

113 パッケージ樹脂

115 レジスト膜

117 マウントテープ

119 パンプ

121 実装基板

123 配線回路

125 半田

127 半田ボール

131, 131A 凹溝 (ハーフカットダイシング)

131B 溝 (フルカットダイシング)

133 分割片

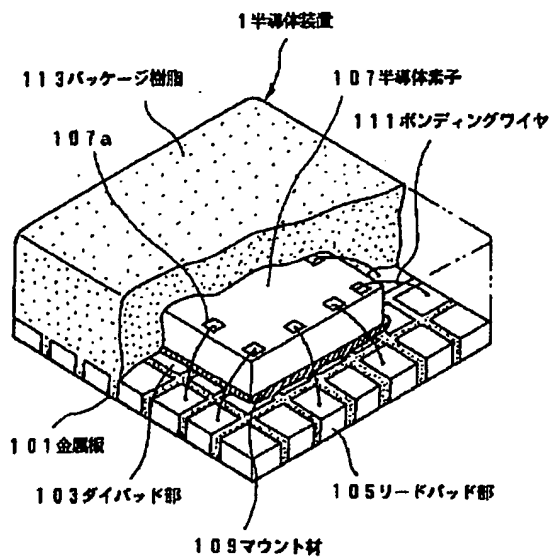
135 樹脂

201 シリコンウェハ

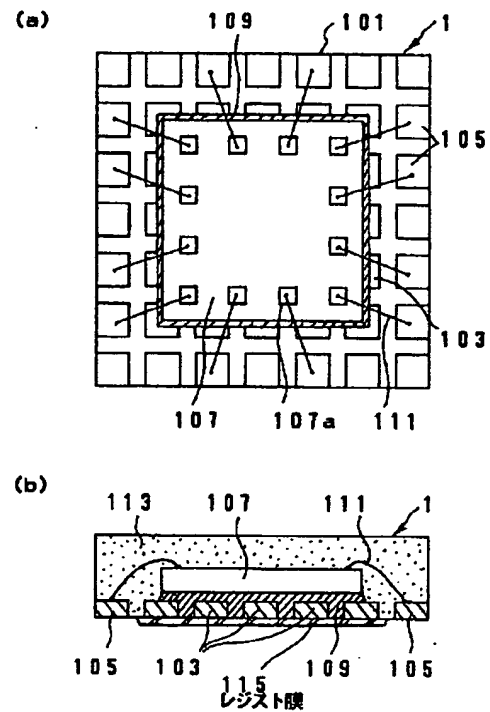
203 半導体素子

205 パンプ

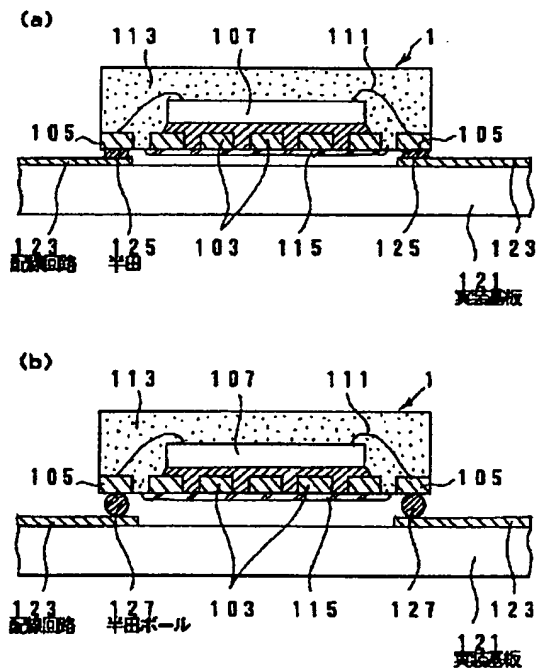
【図1】



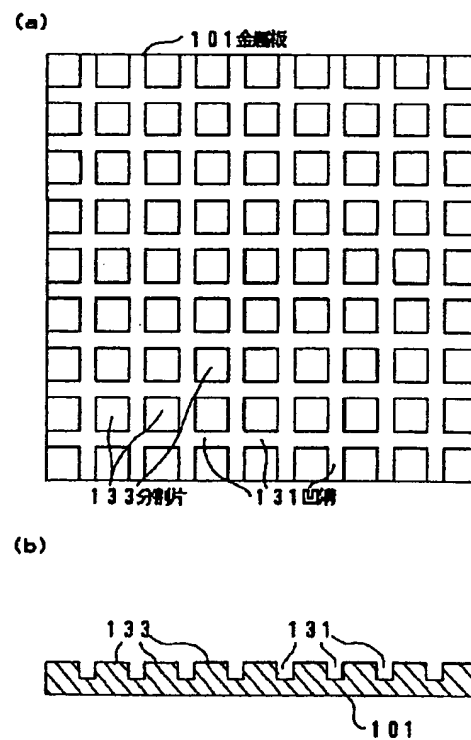
【図2】



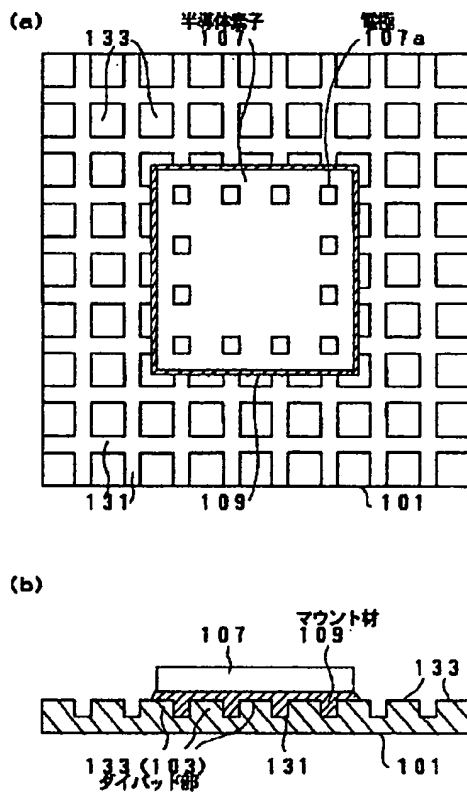
【図3】



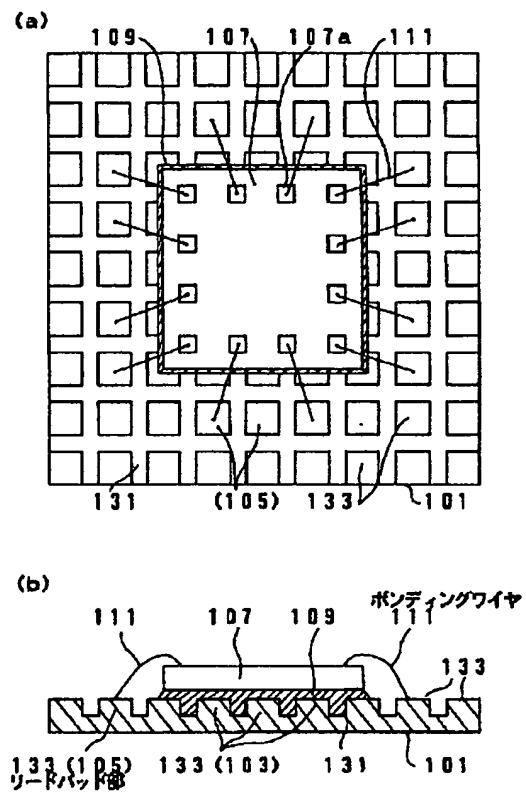
【図4】



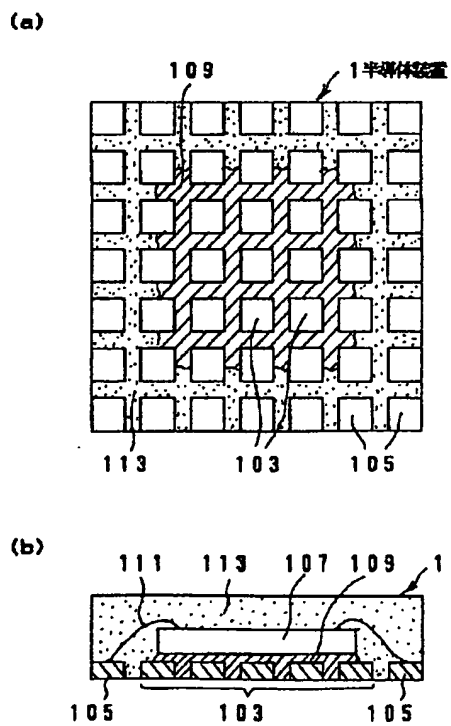
【図5】



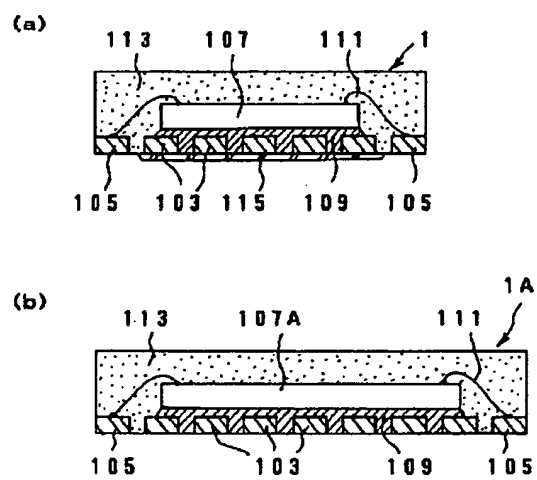
【図6】



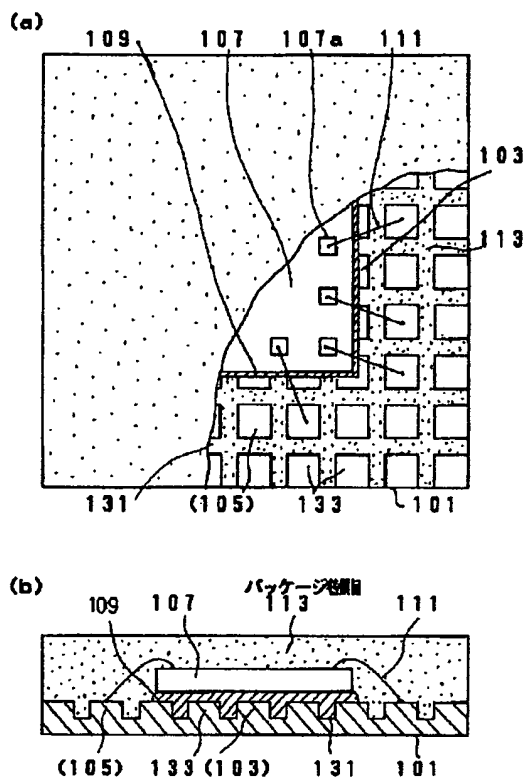
【図9】



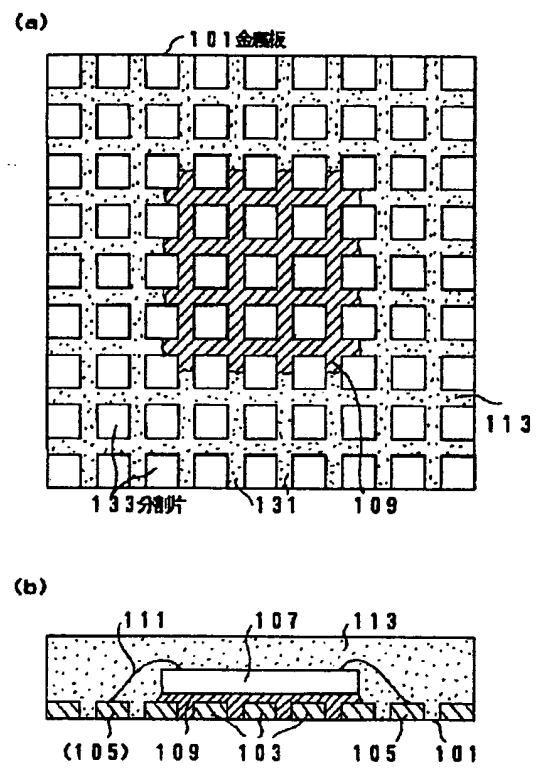
【図10】



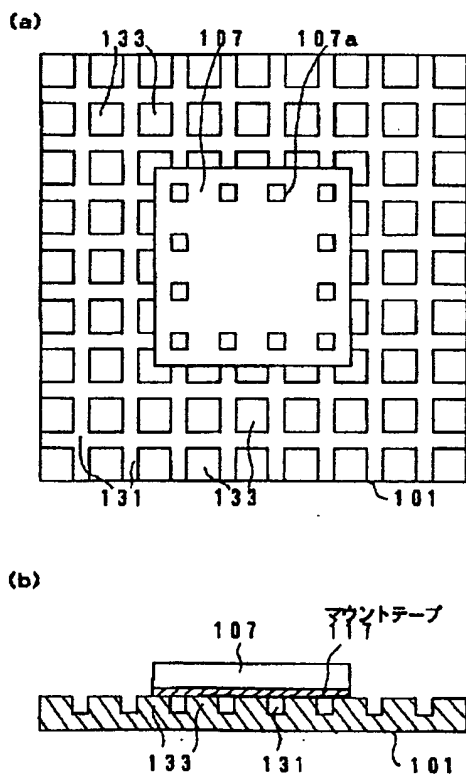
【図7】



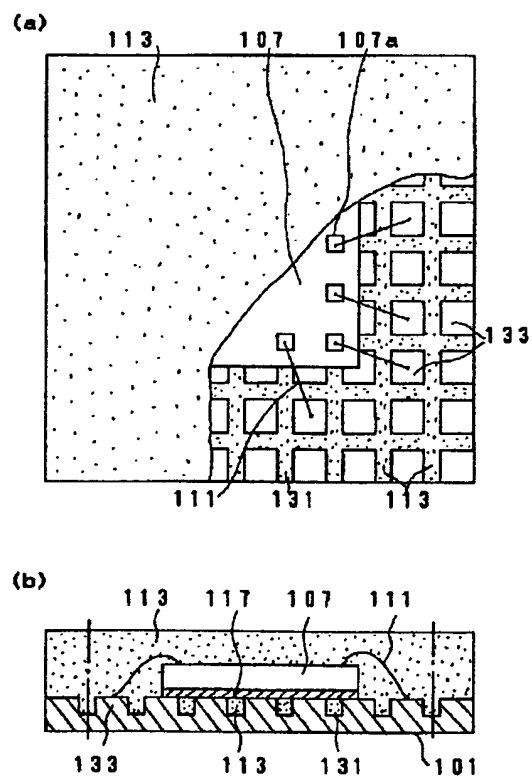
【図8】



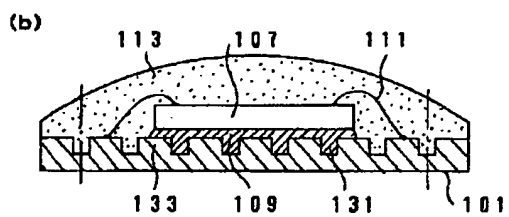
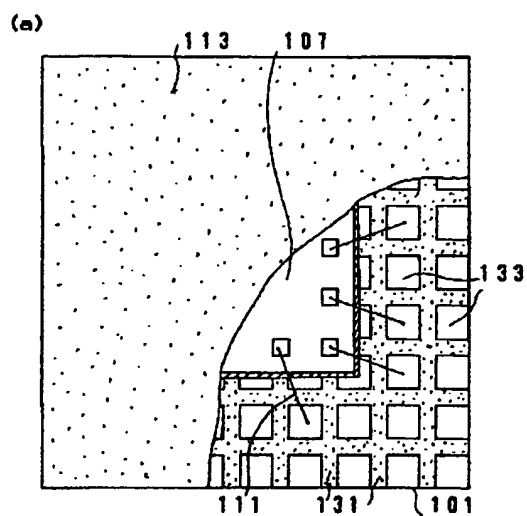
【図11】



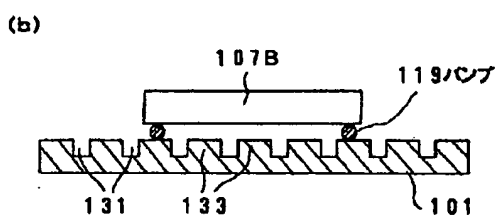
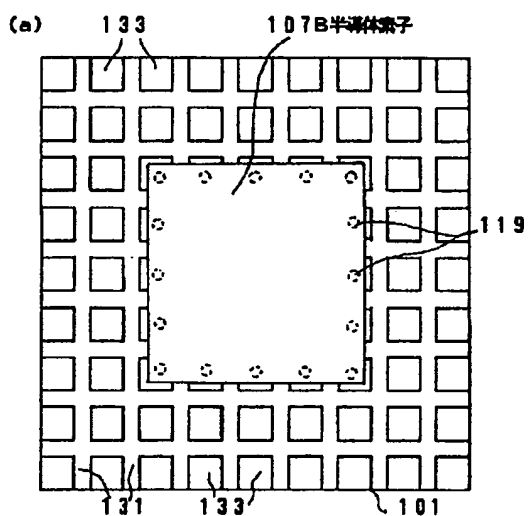
【図12】



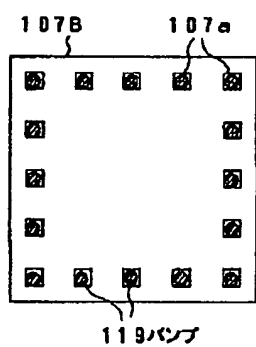
【図13】



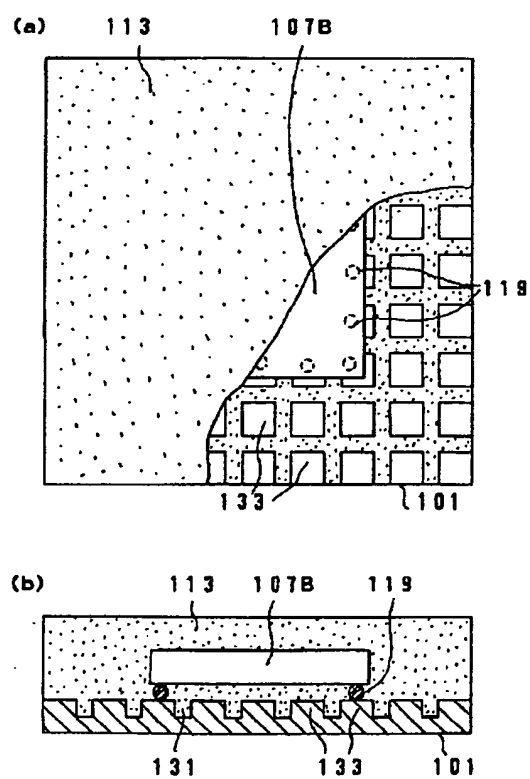
【図14】



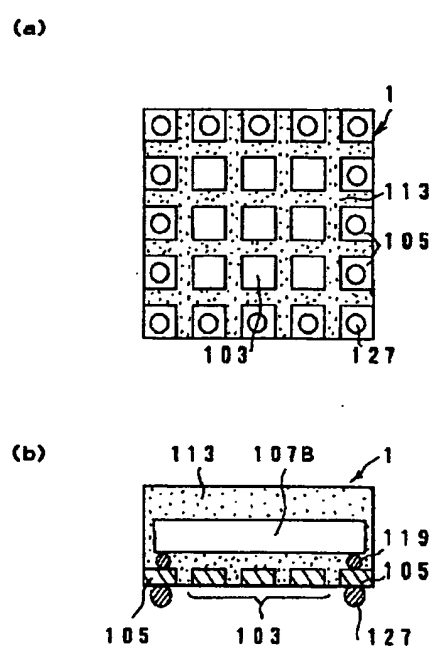
【図15】



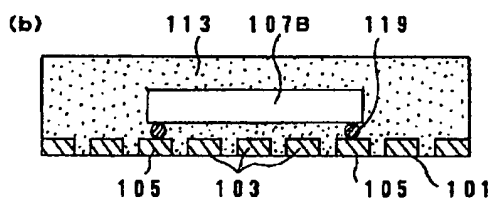
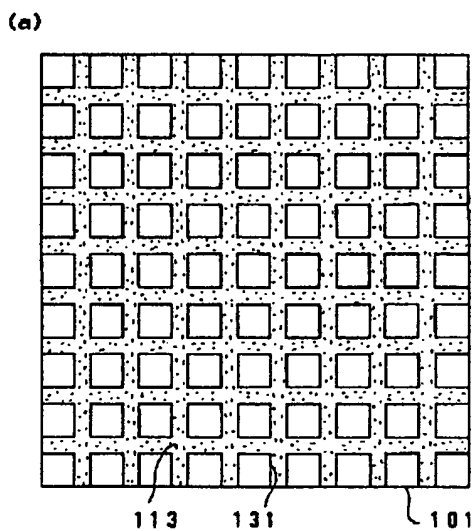
【図16】



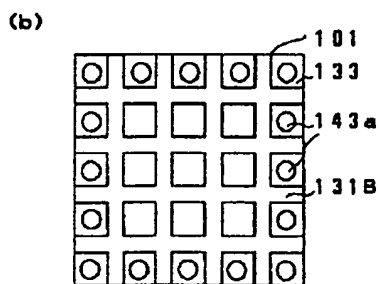
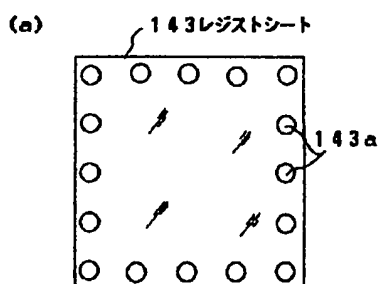
【図18】



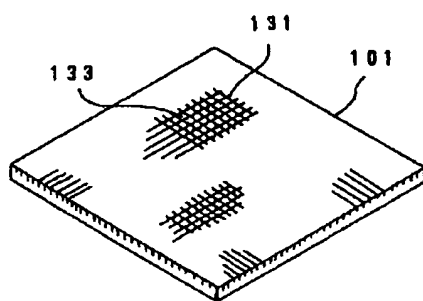
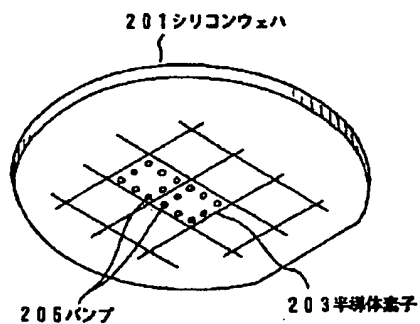
【図17】



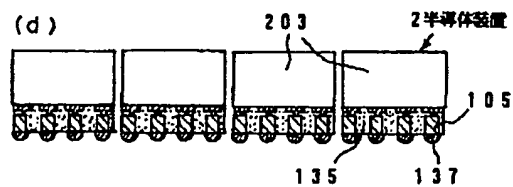
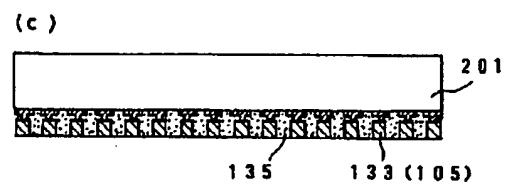
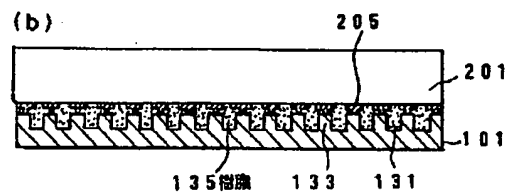
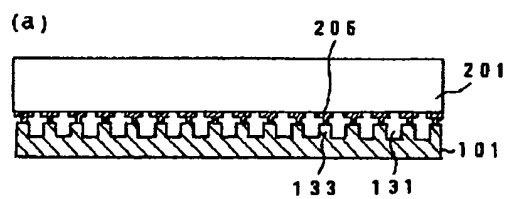
【図28】



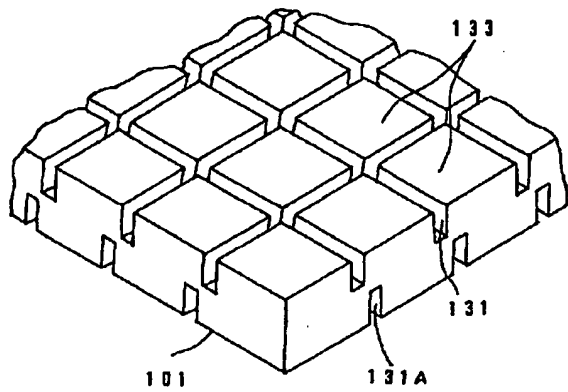
【図19】



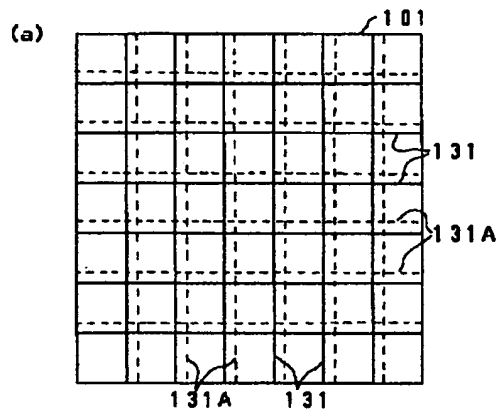
【図20】



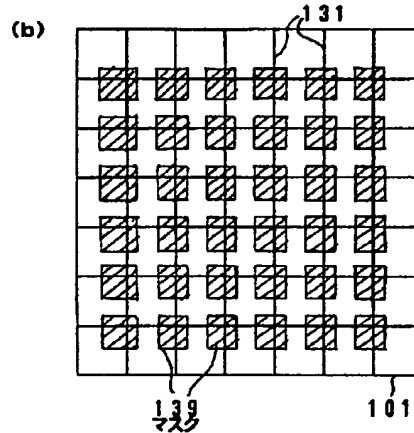
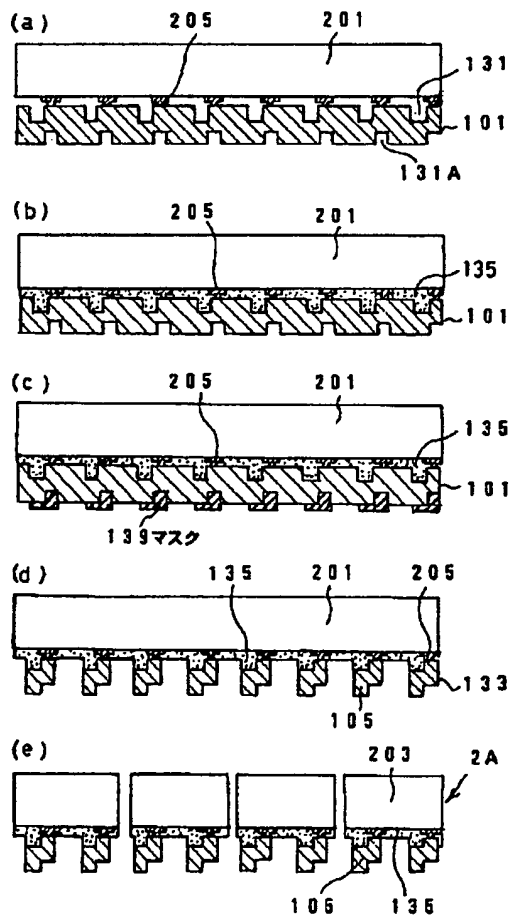
【図21】



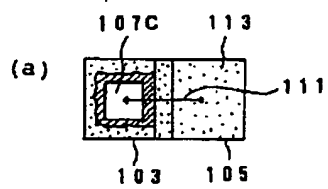
【図22】



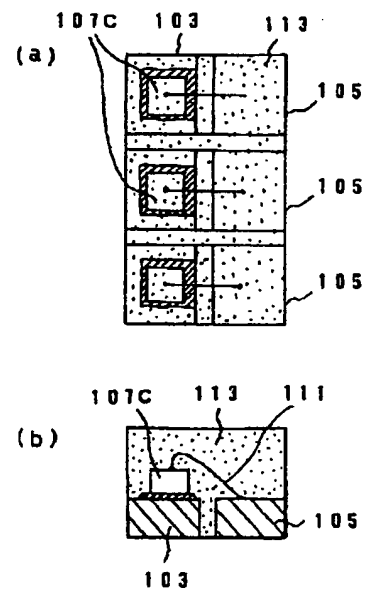
【図23】



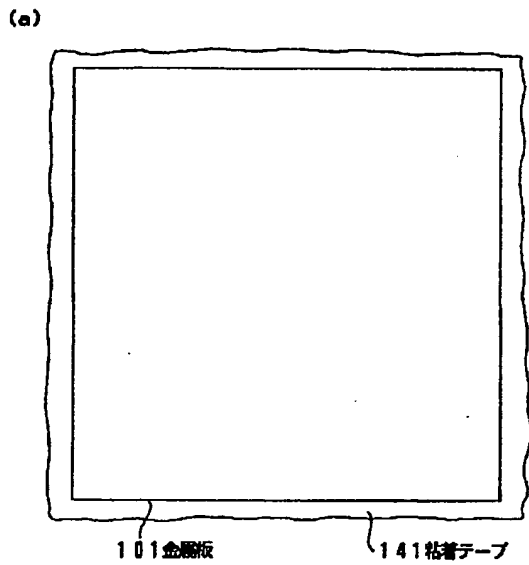
【図33】



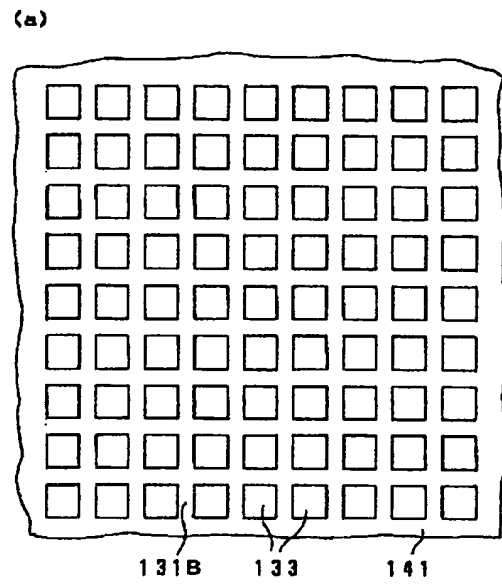
【図34】



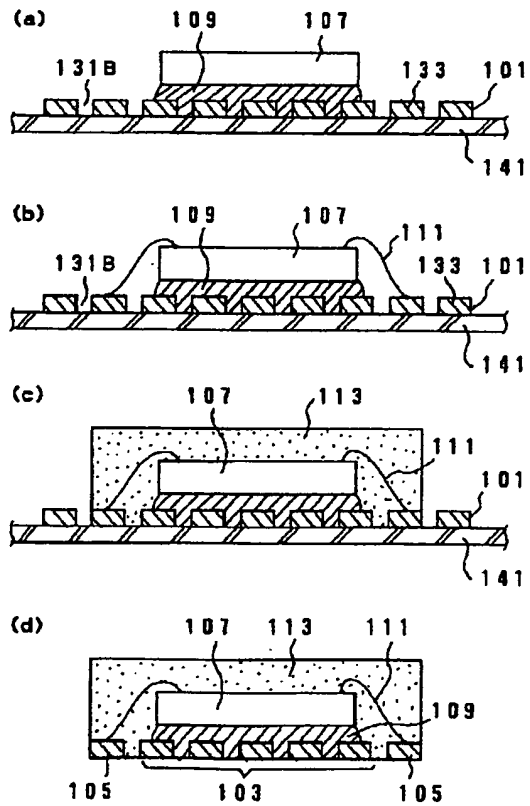
【図24】



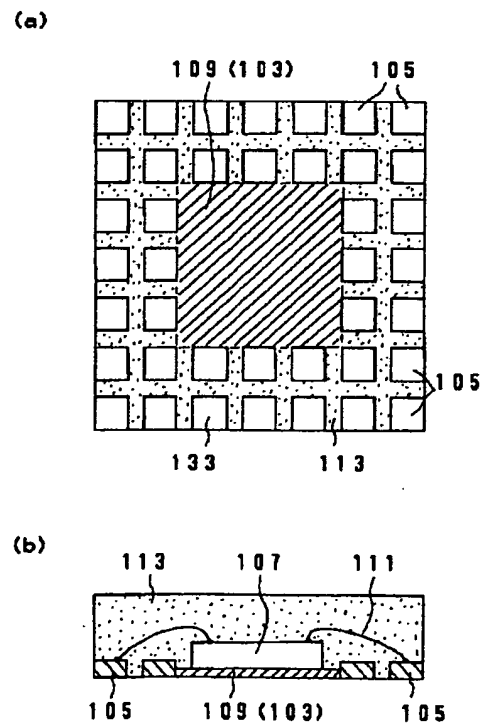
【図25】



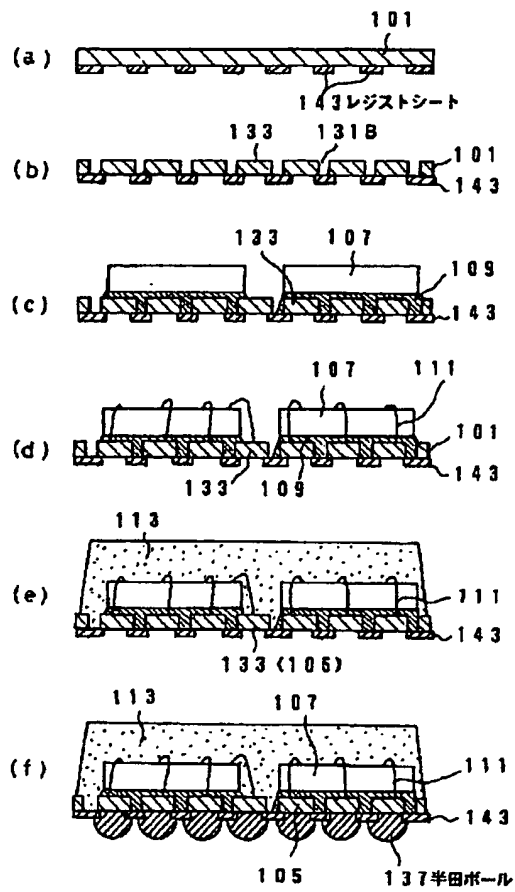
【図26】



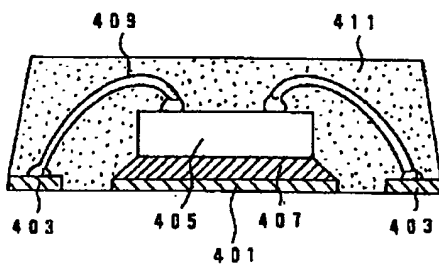
【図32】



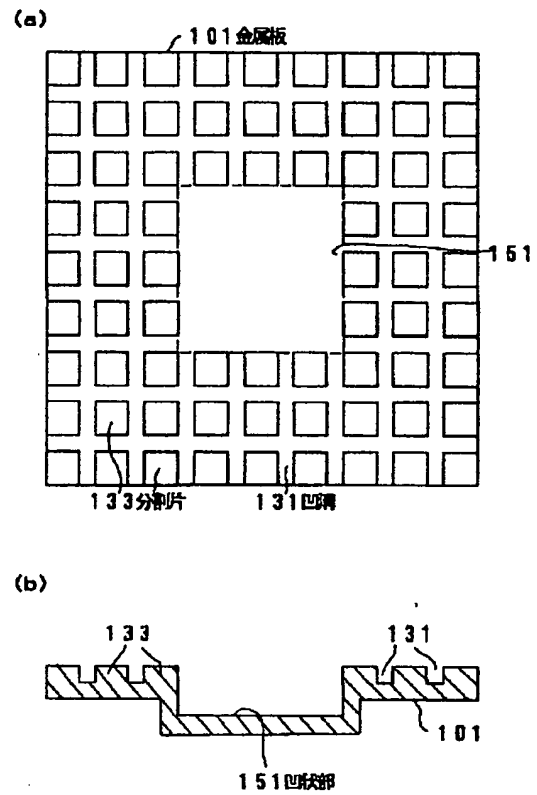
【図27】



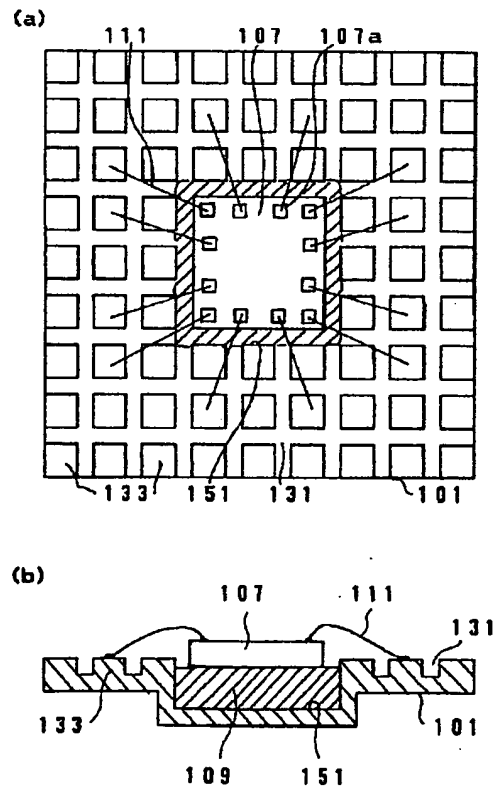
【図37】



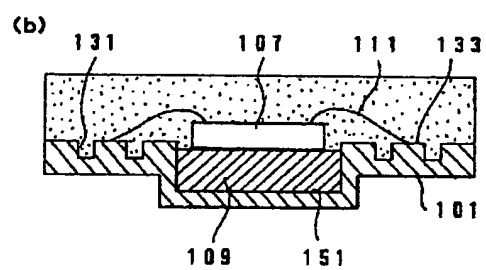
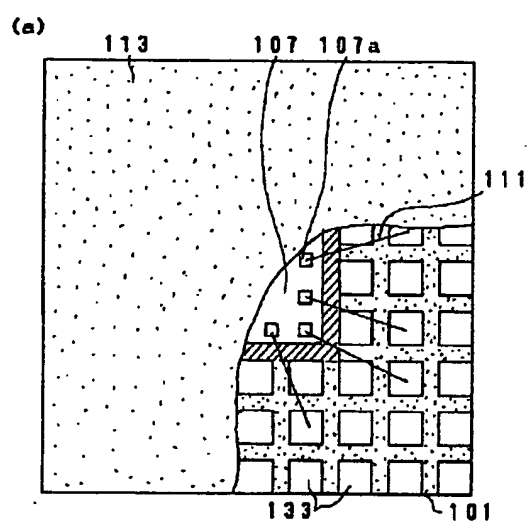
【図29】



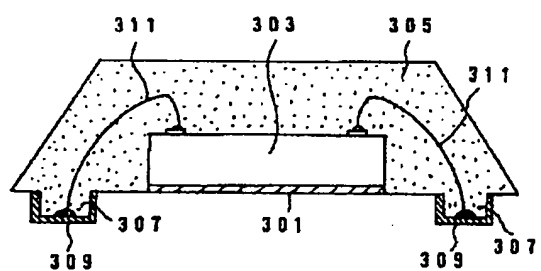
【図30】



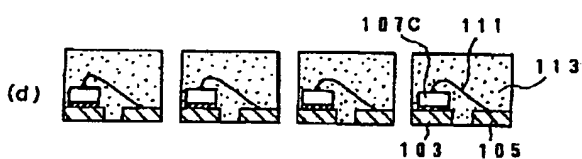
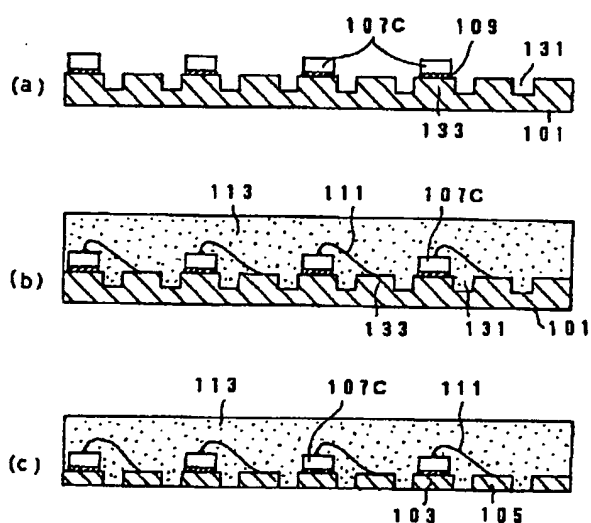
【図31】



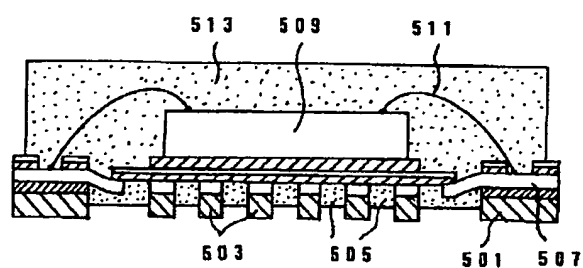
【図36】



【図35】



【図38】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.